

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc872 U.S. PTO
10/057867
01/29/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月22日

出 願 番 号

Application Number:

特願2001-189750

出 願 人

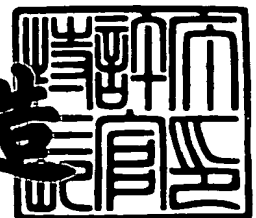
Applicant(s):

富士通株式会社

2001年 9月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3082301

【書類名】 特許願

【整理番号】 0140209

【提出日】 平成13年 6月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/22

【発明の名称】 デバッグサポートユニットを有するマイクロコントローラ

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 岡林 達

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 田川 耕太郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デバッグサポートユニットを有するマイクロコントローラ

【特許請求の範囲】

【請求項 1】 CPUとバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続する第1のビット数の命令アドレスバス及び命令コードバスと、

前記命令アドレスバスと命令コードバスとが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第1のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

命令アドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、

前記CPUから受信した分岐信号と命令フェッチ要求信号に応答して分岐情報と命令フェッチ要求を有するステータス情報信号を生成するステータス情報生成回路と、

ステータス情報信号に応答して前記バスステータス信号線に命令アドレス出力信号を出力するステータス出力回路と、

前記ステータス情報信号に応答して、前記分岐情報が分岐有りの時は前記変換された命令アドレスを前記ツールバスにシリアルに出力し、分岐情報が分岐なしの時は分岐なし信号を前記ツールバスに出力するデータ出力回路とを有することを特徴とするマイクロコントローラ。

【請求項 2】 請求項 1 において、

前記データ出力回路は、前記分岐情報が分岐有りの時は、前記変換された命令アドレスを前記ツールバスに複数サイクルにわたりシリアルに出力し、分岐情報が分岐なしの時は前記分岐なし信号を前記ツールバスに1サイクルで出力することを特徴とするマイクロコントローラ。

【請求項 3】 CPUとバスコントローラを内蔵するマイクロコントローラにお

いて、

前記CPUとバスコントローラとを接続する第1のビット数の命令アドレスバス及び命令コードバスと、

前記命令アドレスバスと命令コードバスとが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第1のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

命令アドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、

前記CPUから受信した分岐信号と命令フェッチ要求信号に応答して分岐情報と命令フェッチ要求を有するステータス情報信号を生成するステータス情報生成回路と、

前記ステータス情報信号に応答して前記バスステータス信号線に命令アドレス出力信号を出力するステータス出力回路と、

前記ステータス情報信号に応答して前記変換された命令アドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有し、

前記ステータス情報生成回路は、次の命令フェッチ要求を受信する前に、現在の命令フェッチ要求に対応した命令コードの受信を完了した時、当該現在の命令フェッチ要求の命令アドレスに続く命令アドレスに対する命令プリフェッチ要求のためのプリフェッチステータス情報信号を生成することを特徴とするマイクロコントローラ。

【請求項4】 請求項3において、

前記ステータス情報生成回路は、前記命令プリフェッチ要求を開始した後、前記CPUから命令フェッチ要求を受け付けて分岐有りの分岐信号を受信したとき、前記命令プリフェッチ要求についての制御をキャンセルすることを特徴とするマイクロコントローラ。

【請求項5】 請求項3において、

前記データ出力回路は、前記プリフェッチステータス情報信号に応答して、命

令アドレスに代えて分岐なし信号を前記ツールバスに出力することを特徴とするマイクロコントローラ。

【請求項 6】 請求項 3 において、

前記ステータス情報生成回路は、前記ツールバスが使用中でなく、前記インサーキットエミュレータから受信される命令コードを格納するバッファに空きがあるとき、前記プリフェッチステータス情報信号を生成することを特徴とするマイクロコントローラ。

【請求項 7】 CPU とバスコントローラを内蔵するマイクロコントローラにおいて、

前記 CPU とバスコントローラとを接続する第 1 のビット数のアドレスバスと

前記アドレスバスが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第 1 のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

アドレスに含まれる有効アドレスと当該有効アドレスの有効桁数信号とを有するエンコードアドレスを出力するエンコーダと、

前記エンコードアドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、

前記 CPU から受信した命令フェッチ要求信号またはデータアクセス要求信号に応答して、命令フェッチ要求またはデータアクセス要求を有するステータス情報信号を前記有効桁数サイクル期間生成するステータス情報生成回路と、

前記ステータス情報信号に応答して、前記バスステータス信号線にアドレス出力信号を出力するステータス出力回路と、

前記ステータス情報信号に応答して、前記エンコードアドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有するマイクロコントローラ。

【請求項 8】 CPU とバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続し命令アドレスをパラレルに転送する第1のビット数の命令アドレスバスと、

前記命令アドレスバス接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第1のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、前記CPUから受信した命令フェッチ要求が分岐あり命令の場合は、命令アドレスをパラレル・シリアル変換して、当該変換された命令アドレスを前記ツールバスにシリアルに出力し、前記命令フェッチ要求が分岐なし命令の場合は、分岐なし信号を前記ツールバスに出力することを特徴とするマイクロコントローラ。

【請求項9】CPUとバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続し命令アドレスをパラレルに転送する第1のビット数の命令アドレスバス及び命令コードバスと、

前記命令アドレスバスと命令コードバスとが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第1のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、前記CPUから受信した命令フェッチ要求信号に応答して前記命令アドレスを前記ツールバスにシリアルに出力し、次の命令フェッチ要求を受信する前に当該命令フェッチ要求に対応する命令コードを前記インサーキットエミュレータから受信した時に、命令プリフェッチ制御を開始することを特徴とするマイクロコントローラ。

【請求項10】CPUとバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続する第1のビット数のアドレスバスと

前記アドレスバスが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第1のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

アドレスに含まれる有効アドレスと当該有効アドレスの有効桁数信号とを有するエンコードアドレスを生成し、前記CPUから受信した命令フェッチ要求信号またはデータアクセス要求信号に応答して、前記エンコードアドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有するマイクロコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デバッグサポートユニット（以下DSU）を有するマイクロコントローラに関し、特に、デバッグ用のプログラムやデータを記憶し、プログラムの命令コード実行時におけるCPUの状態をモニタする機能を有するインサーキットエミュレータ（ICE）に対して、命令フェッチやデータアクセスを高速に行うことができるDSUを有するマイクロコントローラに関する。

【0002】

【従来の技術】

コンピュータの周辺機器や家電などの被制御装置に組み込まれるマイクロコントローラは、制御プログラムやデータを記録した外付けのメモリと外部バスを介して接続され、そのメモリに対して命令フェッチ要求を出して命令コードを読み出し、データアクセス要求を出して所定のデータを読み出しまたは書き込みする。

【0003】

かかるマイクロコントローラでは、開発段階でのデバッグ工程で、制御プログラムやデータを記憶し、命令コード実行時のマイクロコントローラ内の状態をモニタするなどの機能を有するインサーキットエミュレータ（ICE）をマイクロコントローラに接続して、エミュレータモードで動作させることが行われる。この

エミュレータモードでの動作を可能にするために、開発段階のマイクロコントローラ内にはICEへのアクセスを制御するデバッグサポートユニット（DSU）が内蔵される。

【 0 0 0 4 】

マイクロコントローラは、CPUに加えて、外部バスとのアクセスのためにバスコントローラを内蔵する。そして、CPUとバスコントローラとは、多ビット構成のアドレスバスやデータバスとで接続され、両者はアクセス時のアドレスやデータをパラレルに送受信することができる。これらのバスアーキテクチャは、CPU側が、バスコントローラからのウェイト信号が解除状態である時にアドレスと共にアクセス要求を出し、バスコントローラはそのアクセス要求を受け付けるとウェイト信号をウェイト状態にして外部にアクセスし、やがてアクセスされたデータや命令コードを取得すると、バスコントローラがCPUにそれらのデータや命令コードを送信して、ウェイト信号を解除するという、単純な構成をとるのが一般的である。

【 0 0 0 5 】

このようなマイクロコントローラにおいて、上記のエミュレータモードでのデバッグを実施するためには、アドレスバスやデータバスをDSUにも接続し、DSUが外付けのICEとの間のアクセス制御を行うことが必要になる。つまり、DSUがCPUからのアクセス要求を取得してウェイト信号をウェイト状態にしてICEにアクセス要求を出し、ICEからデータや命令コードを取得したら、それをCPUに送信すると共にウェイト信号を解除する。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、外付けのICEは、プログラムやデータを記憶すると共に、マイクロコントローラの内部状態をモニタする機能を有する。かかる内部状態をモニタするための信号線の本数は、膨大な数に上り、それだけでマイクロコントローラの外部ピンの大部分を占めてしまう。その結果、DSUとICE間のデータやアドレスの転送用のツールバスに利用できる外部ピンの数には自ずと限界があり、かかるツールバスは、マイクロコントローラ内部のデータバスのように多くのビット

構成にすることはできない。そのため、DSUとICE間の少数ビット構成のツールバスを介して、アドレスやデータを時分割でシリアル転送しなければならない。

【0007】

例えば、マイクロコントローラ内部のアドレスバスやデータバスは16ビットあるいは32ビット構成にして、アドレスやデータを1サイクルで平行転送されるのに対して、DSUとICEとの間のツールバスは4ビット構成であり、DSUはCPUから受信した上記アドレスやデータを平行・シリアル変換して、ICEに時分割でシリアル転送することになる。その後、DSUは、ICE側から受信した命令コードをシリアル平行変換し、CPU側に送信する。この一連の命令フェッチが完了するまで、DSUはCPUに対してウェイト信号を送出してウェイトをかける。

【0008】

このようなデータ転送の制約は、エミュレートモード動作において、頻繁に命令フェッチが生じると、命令コードを取り込むだけでツールバスを大幅に占領してしまい、デバッグ処理のパフォーマンスが悪くなるという問題を招いてしまう。

【0009】

そこで、本発明の目的は、ICEに対するアクセス制御を効率的に行うことができるDSUを内蔵したマイクロコントローラを提供することにある。

【0010】

更に、本発明の目的は、ICEへのツールバス幅が狭くても、エミュレータモードにおいて、CPUの命令フェッチやデータアクセスを効率的に行うことができるマイクロコントローラを提供することにある。

【0011】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面は、マイクロコントローラにおいて、内部にCPUとバスコントローラとそれらを接続する第1のビット数の命令アドレスバスと第2のビット数の命令コードバスとを有し、更に、前記命令アドレスバスと命令コードバスが接続されたデバッグサポートユニットとを有し、前記デバッグサポートユニットは、外部のインサーキットエミュレータに、

前記第1のビット数より少ない第3のビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線を介して接続される。

【0012】

上記の構成において、デバッグサポートユニットは、命令アドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、前記CPUから受信した分岐信号と命令フェッチ要求信号に応答して分岐情報と命令フェッチ要求を有するステータス情報信号を生成するステータス情報生成回路と、ステータス情報信号に응答してバスステータス信号線に命令アドレス出力信号を出力するステータス出力回路と、前記ステータス情報信号に응答して、前記分岐情報が分岐有りの時は前記変換された命令アドレスを前記ツールバスにシリアルに出力し、分岐情報が分岐なしの時は分岐なし信号を前記ツールバスに出力するデータ出力回路とを有する。

【0013】

かかるデバッグサポートユニットは、ICEへのアクセス制御において、分岐なしの命令フェッチ要求があった時は、ツールバスから命令アドレスをシリアルに複数サイクルの期間かけてICEに転送するのではなく、分岐なし信号を例えば1サイクルだけICEに転送する。従って、命令フェッチ要求における命令アドレスの転送効率を高くすることができる。

【0014】

上記の目的を達成するために、本発明の第2の側面は、上記第1の側面のマイクロコントローラと同様の構成において、デバッグサポートユニットは、命令アドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、CPUから受信した分岐信号と命令フェッチ要求信号に응答して分岐情報と命令フェッチ要求を有するステータス情報信号を生成するステータス情報生成回路と、ステータス情報信号に응答してバスステータス信号線に命令アドレス出力信号を出力するステータス出力回路と、ステータス情報信号に응答して前記変換された命令アドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有し、前記ステータス情報生成回路は、次の命令フェッチ要求を受け付ける前に、現在の命令フェッチ要求に対応した命令コードの受信を完了した時、当該現在の命令フェッ

チ要求の命令アドレスに続く命令アドレスに対する命令プリフェッチ要求のためのプリフェッチステータス情報信号を生成することを特徴とする。

【0015】

上記デバッグサポートユニットは、CPUに対してウェイト状態になっている間に現在の命令フェッチ要求に対するICEへの命令アドレス出力を完了すると、自発的に現在の命令アドレスに続く命令アドレスに対応する命令プリフェッチを実行する。かかるアクセス制御により、CPUへのウェイト状態が解除された後にCPUが分岐なしの命令フェッチ要求を出した場合は、デバッグサポートユニットは、既にプリフェッチした命令コードを短時間でもしくは即刻CPUに返信することができる。従って、バス幅が狭いツールバスの使用効率を高めることができる。

【0016】

上記の第2の側面において、命令プリフェッチ要求のために、上記発明の第1の側面で説明したように、分岐なし信号と命令アドレス出力信号とをツールバスとバスステータス信号線にそれぞれ出力することが好ましい。これにより、無駄になるかも知れない命令プリフェッチを、少ないサイクルで行うことができる。

【0017】

更に、上記の第2の側面において、命令プリフェッチ要求のためにステータス情報信号を生成してICEへの命令プリフェッチ実行中に、CPUから分岐有りの命令フェッチ要求を受信した時は、ステータス情報生成回路は、前記命令プリフェッチ要求のためのステータス情報信号の生成を中止することが好ましい。

【0018】

上記の目的を達成するために、本発明の第3の側面は、上記第1の側面のマイクロコントローラと同様の構成において、デバッグサポートユニットは、アドレスに含まれる有効アドレスと当該有効アドレスの有効桁数信号とを有するエンコードアドレスを出力するエンコーダと、前記エンコードアドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、前記CPUから受信した命令フェッチ要求信号またはデータアクセス要求信号に応答して、命令フェッチ要求またはデータアクセス要求を有するステータス情報信号を前記有効桁数サイクルだ

け生成するステータス情報生成回路と、ステータス情報信号に応答してバスステータス信号線にアドレス出力信号を出力するステータス出力回路と、前記ステータス情報信号に応答して、前記エンコードアドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有する。

【 0 0 1 9 】

上記のデバッグサポートユニットによれば、命令フェッチ要求やデータアクセス要求時に、有効アドレスに有効桁数を付加したエンコードされたアドレスをICEに転送するので、アドレス転送に必要なバスサイクルを短くすることができる。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【 0 0 2 1 】

図1は、本実施の形態例におけるマイクロコントローラの構成を示す図である。マイクロコントローラ1は、CPU2とバスコントローラ3とデバッグサポートユニット(DSU)4とを有し、それらは、命令フェッチ要求信号6と32ビットの命令アドレスバス7と16ビットの命令コードバス8により接続される。更に、CPU、バスコントローラ、DSUの間には、データアクセス要求信号線9とデータアドレスバス10とデータバス11が設けられる。そして、命令系とデータ系それぞれに対して、命令ウエイト信号線12とデータウエイト信号線13とが設けられる。

【 0 0 2 2 】

CPU2は、バスコントローラ3に対して、命令フェッチ要求信号と命令アドレスを出力し、外部バス15に接続される外部のメモリから命令コードをフェッチする。バスコントローラ3は、命令フェッチ要求信号を受信すると命令ウエイト信号を返して、CPUをウエイト状態にし、命令コードを命令コードバス8に出力するとウエイト状態を解除して、次の命令フェッチ要求信号を受け付ける。デー

タアクセス要求も同様に行われる。

【0023】

マイクロコントローラ1は、デバッグ用のプログラムやマイクロコントローラ内の状態を監視するためのトレース機能を有するICEとのインターフェースを行うDSU4を内蔵する。そして、デバッグ工程では、CPUはDSUに対して命令フェッチ要求やデータアクセス要求を出して、エミュレータモードで動作する。

【0024】

DSU4とICE5とは、命令コードバス8やデータバス11に比較して少ないビット数、例えば4ビットのツールバス16で接続されている。そして、DSU4は、3ビットのバスステータス信号線17により、ICE5に対してツールバス16の状態やツールバスに出力された信号の種類を出力する。

【0025】

バスステータス信号17により、非動作状態（ノーオペレーションNOP）と、命令アドレス、データリードアドレス、データライトアドレス、データ取り込みまたは命令コード取り込み、ライトデータの少なくとも6種類のツールバス状態がICEに通知される。

【0026】

トレース用信号線18は、100本以上になる場合があり、その結果、ツールバス16は、マイクロコントローラが内蔵する命令アドレスバス7やデータアドレスバス10に比較するとビット数が少ない。そのため、DSUは、CPUから送信されるアドレスをパラレル・シリアル変換して、ツールバスを介してICE5に4ビットづつシリアルに転送する。従って、命令フェッチ要求やデータアクセス要求が頻繁に繰り返されると、ツールバス16のビット数が少ないので、デバッグ処理のパフォーマンスが悪くなる。

【0027】

図2は、本実施の形態例の原理を説明するための図である。図2（A）にDSU内部のアクセス制御部の構成図、図2（B）にその動作タイミングチャート図、図2（C）に従来の動作タイミングチャート図をそれぞれ示す。

【0028】

DSUのアクセス制御部は、図2（A）に示されるとおり、CPUからの分岐信号14と命令フェッチ要求信号6とを受信して、分岐情報と命令フェッチ要求とを含むステータス情報信号S20を生成するステータス情報生成回路20と、ステータス情報信号S20に応答してバスステータス信号線17に命令アドレス出力信号を出力するステータス出力回路22と、CPUから平行に供給される32ビットの命令アドレスを平行・シリアル変換して、4ビットのアドレスをシリアルに出力する平行・シリアル変換回路24と、シリアルアドレスをツールバス16に出力するデータ出力回路28とを有する。分岐信号は、命令フェッチ対象の命令コードのアドレスが連続する時は分岐なし情報を、連続しない時は分岐有り情報を含む。CPU内部では通常、分岐のありなしを解析済みであるが、CPUがかかる分岐信号を出力しない場合は、DSU側で命令アドレスを比較することで検出することができる。

【0029】

ステータス情報生成回路20は、CPUが供給するフェッチ対象の命令が分岐有りの場合は、命令アドレスをシリアルに出力するために必要なバスサイクル数だけステータス情報信号S20を出力する。従って、ステータス情報生成回路20内には、カウンタが内蔵されている。一方、ステータス情報生成回路20は、分岐無しの場合は、ステータス情報信号S20は1バスサイクルのみしか出力しない。その場合、データ出力回路28は、ステータス情報信号S20が有する分岐なし情報に응答して、ツールバス16に、分岐なし信号を出力する。

【0030】

図2（C）に示されるとおり、従来の命令フェッチ動作では、ステータス出力回路22がバスステータス信号として、NOPの後の4番目のクロックから11番目のクロックまでの8バスサイクルの期間、アドレス出力信号を出力し、データ出力回路28が、平行・シリアル変換された4ビットの命令アドレスを、1サイクル遅れの5番目のクロックから12番目のクロックまで12回、ツールバス16にシリアル転送する。その後、ステータス出力回路22がバスステータス信号線17にデータ取り込み信号を4サイクル出力し、それに응答して、ICEが命令コードを4サイクルで返信する。ICEは、バスステータス信号のステータス

を参照して、対応する動作を行うので、ツールバスには、1クロック遅れでアドレスやデータが転送される。

【0031】

それに対して、本実施の形態例では、図2（B）に示されるとおり、ステータス情報生成回路20が分岐信号14から分岐無しであることを検出すると、分岐無し情報を含むステータス情報信号S20をデータ出力回路28とステータス出力回路22に出力するので、4、5番目のクロックで1サイクルのみ、アドレス出力信号と分岐無し信号とが、バスステータス信号線17とツールバス16とにそれぞれ出力される。それに続いて、データ取り込み信号がバスステータス17から出力され、それに応答して、1クロックサイクル遅れで、4サイクルにわたり命令コードが返信される。

【0032】

図3は、本実施の形態例の別の原理を説明するための図である。図3（A）のアドレス制御部の構成例に示されるとおり、ステータス情報生成回路20と、ステータス出力回路22と、パラレル・シリアル変換回路24と、データ出力回路28とを有し、更に、命令アドレス選択回路30を有する。この例では、CPUからの命令フェッチ要求信号6に応答して、ステータス情報生成回路20がステータス情報信号S20を出力して、命令フェッチ動作が完了した時点で、つまり、データ出力回路28がツールバス16に対して命令アドレスをシリアル転送し、若しくは分岐無し信号を出力した後、命令コードを受信した時点で、当該ステータス情報生成回路20が未だCPUから命令フェッチ信号を受信していなければ、図示しないツールバス16の受信バッファに空きがある時に限り、命令プリフェッチのために新たなステータス情報信号S20を出力する。この命令プリフェッチのステータス情報信号S20は、分岐無し情報を含み、それに応答して、命令アドレス選択回路30は、CPUからの命令アドレスの代わりに、アドレスをプラス2した次の命令アドレスを出力する。従って、次のアドレスの命令アドレスが、パラレル・シリアル変換されてデータ出力回路28からツールバス16に出力される。上記の例では、分岐なしの命令アドレスはプラス2づつインクリメントされる。

【 0 0 3 3 】

つまり、CPUからの命令フェッチ要求信号を受信していなくても、現在の命令フェッチ動作が完了したら、ツールバスが未使用状態になっているので、受信バッファに空きがある限り、ステータス情報生成回路20は命令プリフェッチ動作を開始する。そのため、ビット数が少ないツールバス16を効率的に使用でき、その後CPUから命令フェッチ要求信号が来た時は、より短いサイクルでまたは即刻命令データを返信することができる。

【 0 0 3 4 】

上記の命令プリフェッチ動作は、図2に示した原理を利用して、ツールバス16から分岐無し信号を出力することにより、よりツールバスの使用効率を上げることができる。その場合は、図3の命令アドレス選択回路30は不要になる。

【 0 0 3 5 】

命令プリフェッチは、CPUから送信される命令フェッチ要求が分岐命令か分岐無し命令かを確認することなく行われる。従って、命令プリフェッチを実施中にCPUから次の分岐有りの命令フェッチ要求が来た場合は、前もって実施していた命令プリフェッチ動作は無駄になるので、ステータス情報生成回路20が直ちにステータス情報信号S20としてキャンセル情報を出力する。

【 0 0 3 6 】

図3(B)は、上記の命令プリフェッチ動作中にキャンセルが行われた場合の動作タイミングチャート図である。4番目のクロックでバスステータス信号線17にアドレス出力が出力され、次のクロックで分岐無し信号がツールバス16に出力されて命令プリフェッチ動作が開始している。それに続いて、6番目のクロックからデータ取り込み信号がバスステータスに出力され、2サイクルの間命令コードがツールバス16に返信された時点で、ステータス出力回路22がノーオペレーション信号NOPを出力することで、ツールバス16への命令コードの返信は停止される。ICEは、バスステータス17のステータス信号に応答して、次のサイクルで対応する命令コードやデータをツールバス16に出力する。従って、DSU側のアクセス制御部は、このNOP信号をバスステータスに出力することで、命令プリフェッチ動作をキャンセルすることができる。

【 0 0 3 7 】

図 4 は、本実施の形態例における更に別の原理を説明するための図である。命令フェッチ要求やデータアクセス要求において、DSUはアドレスをパラレル・シリアル変換してツールバス 1 6 に転送する必要がある。その場合、例えば下位アドレスは、上位ビットは「0」のみであり、下位ビットのみに有効なアドレスが含まれる。そこで、図 4 (A) に示されるとおり、エンコーダ 3 2 が、CPUから供給される命令アドレスを解析し、有効アドレスの桁数（厳密には転送サイクル数）と有効アドレスとにエンコードする。例えば、3 2 ビットの命令アドレスが「0 0 0 0 0 8 8 8」（1 6 進表示）の場合は、有効桁数 3 と有効アドレス「8 8 8」とからなるエンコードアドレス「3 8 8 8」がエンコーダ 3 2 で生成される。そして、そのエンコードアドレス S32A がパラレル・シリアル変換回路 2 4 に出力され、パラレル・シリアル変換されたアドレスが、データ出力回路 2 8 からツールバスに転送される。

【 0 0 3 8 】

このようにエンコードされたアドレスは、通常のアдресの転送サイクル 8 よりもその転送サイクルが 4 と少ないので、エンコーダ 3 2 から有効桁数信号（TAG 信号）S32B がステータス情報生成回路 2 0 に供給され、ステータス情報生成回路 2 0 は、その有効桁数にプラス 1 したサイクル数の期間、ステータス情報信号 S20 を出力する。つまり、ステータス情報生成回路 2 0 に内蔵されるカウンタは、有効桁数にプラス 1 したサイクル数だけカウントしながら、ステータス情報信号 S20 を出力する。

【 0 0 3 9 】

図 4 (B) は、上記の動作タイミングチャート図であり、4 番目から 8 番目の 4 クロックサイクル期間、アドレス出力信号がバスステータス信号線 1 7 に出力され、それから 1 クロックずれた 5 番目から 9 番目の 4 クロックサイクル期間で、有効桁数信号の TAB 出力と有効命令アドレスとがツールバス 1 6 経由でシリアルに出力される。ICE は、ツールバス 1 6 に転送された命令アドレスのサイクル数が通常の 8 サイクルよりも短いことで、エンコードアドレスであることを認識し、デコードして、3 2 ビットの命令アドレスを生成し、命令フェッチを行う。

【 0 0 4 0 】

以上、本実施の形態例の原理を説明したが、次に、具体例を説明する。図 5 は、DSU 4 の構成例を示す図である。DSU 4 は、アクセス制御部 4 0 とウエイト制御部 4 2 とで構成される。命令フェッチ要求信号線 6、命令アドレスバス 7、分岐信号線 1 4、データアクセス要求信号 9、データバス 1 0 が、アクセス制御部 4 0 に接続され、ウエイト信号線 1 2、1 3 とデータバス、命令コードバス 8、1 1 がウエイト制御部 4 2 に接続される。

【 0 0 4 1 】

アクセス制御部 4 0 は、命令フェッチ要求信号と分岐信号に応答して、ICE 5 に対して命令フェッチを実行する。また、データアクセス要求信号に応答して、データリードまたはデータライトを ICE 5 に対して実行する。アクセス制御部 4 0 は、命令フェッチ要求信号やデータアクセス要求信号を受け付けると、ステータス情報信号 S20 を生成し、ウエイト制御部 4 2 が、CPU に対してウエイト信号 1 2、1 3 を出力し、更なる要求信号の発行を禁止する。また、アクセス制御部 4 0 が、ICE から命令コードまたはデータを受信したら、ウエイト制御部 4 2 は、それらのデータをデータバスまたは命令コードバス 1 1、8 を介して CPU に転送すると共に、ウエイト信号を解除する。それによって、CPU は次の要求信号を発行することができる。

【 0 0 4 2 】

図 6 は、アクセス制御部 4 0 の詳細構成図である。アクセス制御部 4 0 は、入力バッファ 4 4、4 6、4 8、5 0、5 2、5 4 と出力バッファ 5 6 を有する。更に、命令フェッチ要求信号 6 と分岐信号 1 4 及びデータアクセス要求信号 9 とを入力し、アクセスの種類を判定するアクセス判定回路 5 8 を有する。アクセスの種類には、分岐なしの命令フェッチ要求、分岐ありの命令フェッチ要求、データリード要求、データライト要求とがある。アクセス判定回路の出力とエンコーダ 32A と 32B の有効桁数信号 (TAG 信号) S32A、S32B とが、ステータス情報生成回路 2 0 に供給される。

【 0 0 4 3 】

また、アクセス制御部 4 0 には、アドレスとデータを選択するアドレス・デー

タ選択回路 6 0 が設けられ、エンコードされた命令アドレスと、エンコードされたデータアドレスと、ライト用のデータとが、ステータス情報生成回路 2 0 が生成するステータス情報信号 S20 に応じて選択され、パラレル・シリアル変換回路 2 4 に供給される。

【 0 0 4 4 】

更に、データ入出力回路 2 8 が受信した命令コードや読み出しデータは、シリアル・パラレル変換回路 6 2 にてシリアル・パラレル変換されて、出力バッファ 5 6 からデータバス 6 4 を介して、ウェイト制御部 4 2 に出力される。また、ステータス情報信号 S20 は、ウェイト制御部 4 2 にも出力され、それに応答して、ウェイト信号が出力される。

【 0 0 4 5 】

図 6 のアクセス制御部 4 0 によれば、図 2, 3, 4 で説明した 3 種類のアクセス制御が全て実施される。つまり、分岐なし命令フェッチに対しては、ステータス出力回路 2 2 から 1 サイクルだけ命令アドレス出力信号がバスステータス信号線 1 7 に出力され、その次の 1 サイクルだけデータ入出力回路 2 8 からツールバス 1 6 に分岐なし信号が出力される。また、命令プリフェッチの場合も、上記と同様に分岐なし信号がツールバス 1 6 に出力される。そして、命令アドレス及びデータアドレスの両方が、エンコーダ 32A, 32B にて有効桁数の TAG 信号と有効アドレス信号とにエンコードされ、パラレル・シリアル変換回路 2 4 に供給され、更に、データ入出力回路 2 8 が、ツールバス 1 6 に TAG 信号と有効アドレス信号とをシリアル転送する。

【 0 0 4 6 】

上記したアクセス制御によれば、ステータス情報生成回路 2 0 が生成するステータス情報信号 S 2 0 に基づいて、ステータス出力回路 2 2 やデータ入出力回路 2 8 が対応するバスステータス信号やアドレス、データを ICE に転送する。そこで、ステータス情報生成回路 2 0 を中心とするアクセス制御の動作をフローチャートに従って以下説明する。

【 0 0 4 7 】

図 7 は、アクセス制御部での内部動作を示すフローチャート図である。ステー

タス情報生成回路 2 0 は、アクセス制御のためにステータス情報信号を生成しているため、現在ツールバスが使用中か否かを知りうる立場にある。そこで、ステータス情報生成回路 2 0 は、ツールバスが使用中でなければ (P10)、データアクセス要求か、命令フェッチ要求のいずれかが CPU により発行されたか否かをチェックする。CPU はウェイト信号によりウェイト状態が解除されている時のみ、上記の要求信号を発行する。また、図 7 に示されるとおり、データアクセス要求が優先的に処理される。

【 0 0 4 8 】

データアクセス要求が発行されていたら、それに応答して、データアクセスを実行する (P14)。また、命令フェッチ要求が発行されたら (P16)、分岐信号から分岐ありかなしかが判定され (P18)、分岐が発生していれば、分岐ありの命令フェッチが実行される (P20)。また、分岐が発生していなければ、分岐なし命令フェッチが実行される (P22)。

【 0 0 4 9 】

更に、ステータス情報生成回路 2 0 は、データアクセス要求も命令フェッチ要求もなく、また、データアクセスや命令フェッチが完了してツールバスが不使用方法の時、ウェイト制御部内の出力バッファに命令データを格納するための空きが存在していれば (P24)、プリフェッチのステータス情報信号を生成して、命令プリフェッチを実行する (P26)。

【 0 0 5 0 】

図 8 は、データアクセスのフローチャート図である。データアクセス要求を受信するとデータアクセスが実行される。データアクセス要求が、データリードの場合は、ステータス情報信号 S20 に応答して、アドレス・データ選択回路 6 0 がエンコードされたデータアドレスを出力し、パラレル・シリアル変換されたデータアドレスが、データ入出力回路 2 8 から、ツールバス 1 6 を介して ICE に出力される (S32)。それに続いて、ICE から出力されたリードデータが、データ入出力回路 2 8 に入力され (S34)、ウェイト制御部内のバッファに格納される (P36)。また、データアクセス要求がデータライトの場合は、ステータス情報信号 S20 に応答して、エンコードされパラレル・シリアルされたデータアドレスが、ツ

ールバス 1 6 に出力され (S38) , その後, ライトデータがツールバス 1 6 に出力される (S40) 。

【 0 0 5 1 】

図 9 は, 分岐あり命令フェッチのフローチャート図である。分岐あり命令フェッチの場合は, TAG データと有効アドレスからなるエンコードされた命令アドレスが, データ入出力回路 2 8 からツールバス 1 6 にシリアル出力される (P42) 。エンコードされているので, 転送サイクル数は, エンコードされない場合よりも短くなる。ICE は, それに応答して, 命令コードを返信し, データ入出力回路 2 8 が取り込み (P44) , バッファに格納する (P46) 。

【 0 0 5 2 】

図 1 0 は, エンコーダでのエンコードのフローチャート図である。図 1 0 のフローチャートには, エンコードにより検出された有効桁数 (TAG) の生成工程が示される。3 2 ビットのアドレスは, 1 6 進法では 8 桁になる。ツールバスが 4 ビットづつ転送するので, この 4 ビットをアドレスブロックと定義して, 有効なアドレスブロック数を TAG データとする。

【 0 0 5 3 】

図 1 0 に示されるとおり, 入力された命令アドレスまたはデータアドレスを上位桁から解析し, 最上位ビット 31-28 が 0 でなければ, 8 桁全てが有効となり, 有効アドレスブロック数として TAG = 8 を出力する (P50, P51) 。最上位ビット 31-28 が 0 で次の上位ビット 27-24 が 0 でなければ, 7 桁が有効となり, 有効アドレスブロック数として TAG = 7 を出力する (P52, P53) 。以下同様に, 上位ビットが全て 0 であるときは, その残りの下位ビットのアドレスブロック数が TAG データとして出力される。上位ビット 31-4 が 0 の場合は, 有効アドレスブロック数は 1 となる (P64) 。

【 0 0 5 4 】

上記の例では, TAG = 6 以下の場合のみ, エンコードされたアドレスがシリアル転送され, TAG = 7 以上では, もとのアドレスがそのままシリアル転送される。

【 0 0 5 5 】

図 1 1 は, 分岐なし命令フェッチまたは命令プリフェッチのフローチャート図

である。分岐なし命令フェッチ及び命令プリフェッチは、共に分岐なしの命令フェッチ動作になる。図 1 1 には、特に命令プリフェッチのために分岐が発生したか否かの判断がステップ毎に行われる（P70,P72,P73,P74）。ステータス情報生成回路 2 0 が、分岐なしの命令アドレス出力を示すステータス情報信号 S20 を生成すると、それに応答して、ステータス出力回路 2 2 が、バスステータス信号線 1 7 にアドレス出力信号を出力し、その次のサイクルで、データ入出力回路 2 8 が、ツールバスに分岐なし信号を 1 サイクルのみ出力する（P71）。それに応答して、ICE が、次の命令アドレスに対応する命令コードを返信すると、データ入出力回路 2 8 が、命令コードを受信し（P73）、受信バッファに格納する（P75）。

【 0 0 5 6 】

命令プリフェッチ動作中に、次の命令フェッチ要求に分岐が含まれていることを示す分岐信号を受信すると、即座にキャンセルされる。また、命令コードを受信した後では、キャンセルに伴いその受信した命令コードがクリアされる（P76）。

【 0 0 5 7 】

分岐なし命令フェッチも、上記と同様の動作になる。但し、分岐なし命令フェッチの場合は、既に命令フェッチ要求を受信し、それが分岐なしであることが確定しているので、分岐発生が生じることはない。

【 0 0 5 8 】

図 1 2 は、ウェイト制御部でのウェイト制御のフローチャート図である。ウェイト制御は、基本的に、ウェイト解除状態で CPU が命令フェッチ要求やデータアクセス要求を発行すると、DSU が CPU に対してウェイトを発行し、受け付けた要求に対応するアクセス制御を実行する。そして、そのアクセス制御が終了すると、DSU は CPU に対してウェイトを解除して、次の要求の発行を許可する。

【 0 0 5 9 】

図 1 2 によれば、DSU 内のウェイト制御部 4 2 内の受信バッファに命令コードまたはデータが格納されている時（P80）、それがデータリード要求に対応するものなら、データウェイトを解除して、バッファ内のデータを CPU に平行出

力し、バッファをクリアする (P81,P82)。また、受信バッファ内が命令コードであるときは、CPUから発行済みの命令フェッチ要求に対する命令コードであれば、命令ウェイトを解除して、バッファ内の命令コードをCPUに出力し、バッファをクリアする (P83,P84)。更に、受信バッファ内に命令コードが格納されていても、それが命令プリフェッチに対応するもので、CPUから未だ命令フェッチ要求が出されていない場合は、その命令コードのCPUへの送信は行われない。

【 0 0 6 0 】

次に、データリード要求を受け付けると (P85)，CPUに対してデータウェイトを発行し (P86)，そのデータリード制御を実行する。また、データライト要求を受け付けると (P87)，ツールバスが使用中であれば、CPUに対してデータウェイトを発行し (P88,P89)，ツールバスが空くまでデータライト制御を待機させる。ツールバスが使用中でない若しくは直ぐに未使用になることが予想されれば、データウェイトを解除して (P90)，受信したライトデータをツールバスからI CEに転送する。

【 0 0 6 1 】

更に、命令フェッチ要求を受け付けると (P91)，命令ウェイトをCPUに対して発行し (P92)，命令フェッチ制御を実行する。

【 0 0 6 2 】

以下、本実施の形態例における命令プリフェッチ動作、データリード、データライト動作の具体例について、動作タイミングチャートにより説明する。

【 0 0 6 3 】

図 1 3 は、分岐が発生しない時の命令プリフェッチ動作のタイミングチャート図である。この例では、3つの命令フェッチ要求が連続して発行された例である。なお、以下のクロックと状態の関係は、クロックの立ち上がりエッジを基準にして説明している。

【 0 0 6 4 】

まず、命令アドレス # A の命令フェッチ要求に対する命令コードが取り込まれると、5番目のクロックで命令プリフェッチのためのアドレス出力がバスステータス 1 7 に出力され、その1クロック後に分岐なし信号がツールバス 1 6 に出力

される。つまり、命令プリフェッチでは、現在の命令フェッチ要求のアドレスに続くアドレスの命令コードがフェッチされることを予想して、DSUが分岐なし信号を出力して、ICEに次のアドレスの命令コードを出力するよう要求する。

【 0 0 6 5 】

DSUは、図示しない命令コードバス 8 経由で、取り込んだ命令コードをCPUに出力すると、7 番目のクロックで命令ウェイトを解除し、次の命令フェッチ要求を取り込む。それに伴い命令アドレスバス 7 にはアドレス # B が出力される。但し、既に命令プリフェッチにより次の命令フェッチ動作が始まっており、DSUは、引き続きデータ取り込み信号をバスステータス信号線 1 7 に出力しながら、命令コードを受信する。ICEは、分岐なし信号を受信した後、バスステータスのデータ取り込み信号に応答して 4 サイクルで 1 6 ビットの命令コードを受信する。このICEの動作は、固定的である。

【 0 0 6 6 】

DSUは、命令コードの取り込みを完了すると、ツールバス 1 6 が空いているので、ウェイト制御部内の受信バッファに空きがあれば命令プリフェッチを開始する。このようにして、次の命令フェッチについても、その要求を受け付ける前に開始することで、ツールバスが空き状態のままになることをなくし、ツールバスの使用効率を高めることができる。その結果、命令フェッチ要求に対する命令コードが、短いサイクルでCPUに出力される。

【 0 0 6 7 】

図 1 4 は、分岐が発生する時の命令プリフェッチ動作のタイミングチャート図である。この例では、DSUは分岐が発生してもキャンセルは行わない。命令アドレス # A に対する命令フェッチ要求に対する命令コードの取り込みが終了すると、DSUは 5 番目のクロックでアドレス出力信号をバスステータスに出力し、分岐なし信号をツールバスに出力して、命令プリフェッチを開始する。それに続いて、DSUはデータ取り込み信号をバスステータスに出力し、命令コードを 4 サイクルかけてシリアルに取り込む。ここまでは、図 1 3 と同じ動作である。

【 0 0 6 8 】

しかし、7 番目のクロックで命令ウェイトを解除して、次の命令フェッチ要求

を受け付けると、分岐信号 1 4 が分岐あり（Hレベル）になっている。そこで、命令プリフェッチの命令コードの取り込みが終了すると、1 2 番目のクロック以降に、DSUは命令アドレス # B をエンコードした TAG データと有効アドレスとをツールバスに出力し、1 8 番目のクロックから再度命令コードを取り込む。この命令コードの取り込みが終了すると、2 3 番目のクロックから再度命令プリフェッチのために、アドレス出力信号をバスステータスに、分岐なし信号をツールバスにそれぞれ出力する。

【 0 0 6 9 】

図 1 4 の例では、CPUは、分岐あり命令フェッチ要求を連続して発行することが禁止されている。その結果、命令アドレス # B に対する 2 回の命令コード取り込み動作が、毎回繰り返されることが防止されている。

【 0 0 7 0 】

図 1 5 は、分岐が発生する時の命令プリフェッチにおいてそれがキャンセルされる動作のタイミングチャート図である。この例では、DSUが分岐信号で分岐ありを検出すると、バスステータスにNOP信号を出力して、それまでの命令プリフェッチ動作をキャンセルする。

【 0 0 7 1 】

この例では、命令アドレス # A に対する命令コードの取り込みが終了すると、DSUは 5 番目のクロックでアドレス出力をバスステータスに出力し、6 番目のクロックで分岐なし信号をツールバスに出力し、命令プリフェッチを開始する。DSUが図示しない受信バッファから命令コードをCPUにパラレス出力すると、7 番目のクロックで命令ウェイトを解除し、命令アドレス # B を受け付ける。そのとき、DSUは分岐信号 1 4 に分岐あり情報が含まれていることを検出し、既に始めていたデータ取り込み信号の出力を停止して、バスステータス 1 7 にNOP信号を出力する。それに応答して、ICEは命令プリフェッチに対する命令コードの出力を停止する。

【 0 0 7 2 】

そして、DSUは、1 0 番目のクロックからバスステータス 1 7 にアドレス出力信号を出力し、1 1 番目のクロックでTAGデータを1 2 番目のクロックから4サ

イクルで有効命令アドレスをツールバスから出力する。それ以降の動作は、図 1 4 の場合と同じである。

【 0 0 7 3 】

図 1 5 の場合は、命令プリフェッチに対する命令フェッチ要求を受け付けた時に分岐ありであることが判明すると、DSUが先に始めた命令プリフェッチ動作をキャンセルするので、再度命令コードのフェッチを行っても、それによる遅れは、図 1 4 の場合よりも少ない。

【 0 0 7 4 】

図 1 6 は、命令フェッチとデータリード動作のタイミングチャート図である。命令アドレス # B に対する命令コードの取込が終了すると、5 番目のクロックから、受付済みのデータアクセス要求（リード要求 R）に対するデータアドレス # 1 に対するデータリード制御が始まる。即ち、DSUは、5 番目のクロックからアドレス出力信号をバスステータス 1 7 に出力し、6 番目のクロックからエンコードされたデータアドレスを TAG データと共にツールバス 1 6 に出力する。更に、DSUは 9 番目のクロックからデータ入力信号をバスステータスに出力し、1 クロック後にリードデータをツールバスから取り込む。図 1 6 には、簡略化のためにリードデータが 2 サイクルで取り込まれているが、リードデータが 1 6 ビットであれば、データ取り込みには 4 サイクルが必要である。

【 0 0 7 5 】

DSUは 7 番目のクロックで命令ウェイトを解除して、次の命令フェッチ要求を受け付ける。この命令フェッチ要求は分岐なしであるので、DSUは、リードデータの取り込みが終了した後の 1 2 番目のクロックでアドレス出力信号をバスステータスに出力し、その次のクロックで分岐なし信号をツールバスに出力して、命令アドレス # C に対する命令フェッチ制御を行う。更に、DSUは、ICEから取り込んだリードデータをデータバス 1 1 から CPU にパラレルに出力すると、1 4 番目のクロックでデータウェイトを解除する。

【 0 0 7 6 】

図 1 7 は、命令フェッチとデータライト動作のタイミングチャート図である。この例では、図 1 6 の場合と同様に命令アドレス # B に対する命令コードの取り

込みを終了すると、既に受け付けていたデータライト要求Wの制御を開始する。DSUは、アドレス出力信号をバスステータスに出力し、その1クロック後からTAGデータと有効データアドレスとをツールバスから出力する。それに続いて、DSUは9番目のクロックからデータ出力信号をバスステータスに出力し、ライトデータをツールバスに出力する。ここでも、簡単のためにライトデータの転送は2サイクルで終了している。

【0077】

DSUは、ライトデータの転送を始めると、やがてツールバスが空くことを予想して、10番目のクロックでデータウエイトを解除している。ライトデータの出力が終了すると、12番目のクロックの立ち上がりエッジからアドレス出力信号をバスステータスに出力し、分岐なし信号をツールバスに出力して、命令アドレス#Cの命令フェッチを介しする。

【0078】

尚、ツールバスでは、DSUからのアドレスやデータの出力と、ICEからの命令コードやリードデータの出力との間に、1クロックサイクルのNOP状態が生成され、それによりツールバスでのデータのコンフリクトが防止される。図17の例では、8番目のクロックでバスステータスにNOP信号が出力されて、9番目のクロックでツールバスには何もデータが出力されない状態になっている。しかし、DSUによるデータアドレスの出力とライトデータの出力との間には、データコンフリクトの問題はないので、NOP状態を生成する必要はない。

【0079】

以上説明したとおり、本実施の形態例では、開発用のマイクロコントローラに内蔵される、ICEとのインターフェースを行うDSUに、命令アドレスに代えて分岐なし信号を出力して命令フェッチサイクルを短縮する機能と、ツールバスが空いていれば命令プリフェッチ制御を行う機能と、命令アドレスやデータアドレスをTAGデータと有効アドレスとからなるエンコードアドレスにしてICEに出力して命令フェッチサイクルを短縮する機能とを搭載する。それにより、限られたビット数しか持ち得ないツールバスであっても、その使用効率を上げて、デバッグ処理におけるICEへのアクセス制御のパフォーマンスを上げることができる。

【 0 0 8 0 】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 8 1 】

（付記 1）CPU とバスコントローラを内蔵するマイクロコントローラにおいて

前記 CPU とバスコントローラとを接続する第 1 のビット数の命令アドレスバス及び命令コードバスと、

前記命令アドレスバスと命令コードバスとが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第 1 のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

命令アドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、

前記 CPU から受信した分岐信号と命令フェッチ要求信号に応答して分岐情報と命令フェッチ要求を有するステータス情報信号を生成するステータス情報生成回路と、

ステータス情報信号に応答して前記バスステータス信号線に命令アドレス出力信号を出力するステータス出力回路と、

前記ステータス情報信号に応答して、前記分岐情報が分岐有りの時は前記変換された命令アドレスを前記ツールバスにシリアルに出力し、分岐情報が分岐なしの時は分岐なし信号を前記ツールバスに出力するデータ出力回路とを有することを特徴とするマイクロコントローラ。

【 0 0 8 2 】

（付記 2）付記 1 において、

前記データ出力回路は、前記分岐情報が分岐有りの時は、前記変換された命令アドレスを前記ツールバスに複数サイクルにわたりシリアルに出力し、分岐情報が分岐なしの時は前記分岐なし信号を前記ツールバスに 1 サイクルで出力することを特徴とするマイクロコントローラ。

【 0 0 8 3 】

(付記 3) 付記 1 において、

前記デバッグサポートユニットは、前記命令フェッチに対応するアドレス出力を出力した後、所定の複数サイクルの期間データ取り込み信号を前記バスステータス信号線に出力し、前記インサーキットエミュレータから前記命令フェッチに対応する命令コードをシリアルに受信することを特徴とするマイクロコントローラ。

【 0 0 8 4 】

(付記 4) 付記 1 において、

前記デバッグサポートユニットは、前記CPUからの命令フェッチ要求を受け付けた時に、前記CPUに対してウェイト信号を発行し、当該命令フェッチ要求に対応する命令コードを前記CPUに対して返信した時に、前記ウェイト信号を解除することを特徴とするマイクロコントローラ。

【 0 0 8 5 】

(付記 5) 付記 1 において、

前記デバッグサポートユニットは、前記CPUから命令フェッチ要求とデータアクセス要求とを受け付けた場合、前記データアクセス要求を優先的に処理することを特徴とするマイクロコントローラ。

【 0 0 8 6 】

(付記 6) CPUとバスコントローラを内蔵するマイクロコントローラにおいて

前記CPUとバスコントローラとを接続する第 1 のビット数の命令アドレスバス及び命令コードバスと、

前記命令アドレスバスと命令コードバスとが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第 1 のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

命令アドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、
前記CPUから受信した分岐信号と命令フェッチ要求信号に応答して分岐情報
と命令フェッチ要求を有するステータス情報信号を生成するステータス情報生成
回路と、

前記ステータス情報信号に応答して前記バスステータス信号線に命令アドレス
出力信号を出力するステータス出力回路と、

前記ステータス情報信号に応答して前記変換された命令アドレスを前記ツール
バスにシリアルに出力するデータ出力回路とを有し、

前記ステータス情報生成回路は、次の命令フェッチ要求を受信する前に、現在
の命令フェッチ要求に対応した命令コードの受信を完了した時、当該現在の命令
フェッチ要求の命令アドレスに続く命令アドレスに対する命令プリフェッチ要求
のためのプリフェッチステータス情報信号を生成することを特徴とするマイクロ
コントローラ。

【 0 0 8 7 】

(付記 7) 付記 6 において、

前記ステータス情報生成回路は、前記命令プリフェッチ要求を開始した後、前
記CPUから命令フェッチ要求を受け付けて分岐有りの分岐信号を受信したとき
、前記命令プリフェッチ要求についての制御をキャンセルすることを特徴とする
マイクロコントローラ。

【 0 0 8 8 】

(付記 8) 付記 6 において、

前記データ出力回路は、前記プリフェッチステータス情報信号に応答して、命
令アドレスに代えて分岐なし信号を前記ツールバスに出力することを特徴とする
マイクロコントローラ。

【 0 0 8 9 】

(付記 9) 付記 6 において、

前記ステータス情報生成回路は、前記ツールバスが使用中でなく、前記インサ
ーキットエミュレータから受信される命令コードを格納するバッファに空きがあ
るとき、前記プリフェッチステータス情報信号を生成することを特徴とするマイ

クロコントローラ。

【 0 0 9 0 】

（付記 1 0）付記 6 において、

前記デバッグサポートユニットは、前記 CPU からの命令フェッチ要求を受け付けた時に、前記 CPU に対してウェイト信号を発行し、当該命令フェッチ要求に対応する命令コードを前記 CPU に対して返信した時に、前記ウェイト信号を解除することを特徴とするマイクロコントローラ。

【 0 0 9 1 】

（付記 1 1）CPU とバスコントローラを内蔵するマイクロコントローラにおいて、

前記 CPU とバスコントローラとを接続する第 1 のビット数のアドレスバスと

前記アドレスバスが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第 1 のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

アドレスに含まれる有効アドレスと当該有効アドレスの有効桁数信号とを有するエンコードアドレスを出力するエンコーダと、

前記エンコードアドレスをパラレル・シリアル変換するパラレル・シリアル変換回路と、

前記 CPU から受信した命令フェッチ要求信号またはデータアクセス要求信号に回答して、命令フェッチ要求またはデータアクセス要求を有するステータス情報信号を前記有効桁数サイクル期間生成するステータス情報生成回路と、

前記ステータス情報信号に回答して、前記バスステータス信号線にアドレス出力信号を出力するステータス出力回路と、

前記ステータス情報信号に回答して、前記エンコードアドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有するマイクロコントローラ。

【 0 0 9 2 】

(付記 1 2) 付記 1 1 において、

前記アドレスバスは、命令アドレスバスとデータアドレスバスとを有し、前記エンコーダは、前記命令アドレスバスとデータアドレスバスを介して入力するアドレスをエンコードすることを特徴とするマイクロコントローラ。

【 0 0 9 3 】

(付記 1 3) CPUとバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続し命令アドレスを平行に転送する第 1 のビット数の命令アドレスバスと、

前記命令アドレスバス接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第 1 のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、前記CPUから受信した命令フェッチ要求が分岐あり命令の場合は、命令アドレスを平行・シリアル変換して、当該変換された命令アドレスを前記ツールバスにシリアルに出力し、前記命令フェッチ要求が分岐なし命令の場合は、分岐なし信号を前記ツールバスに出力することを特徴とするマイクロコントローラ。

【 0 0 9 4 】

(付記 1 4) CPUとバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続し命令アドレスを平行に転送する第 1 のビット数の命令アドレスバス及び命令コードバスと、

前記命令アドレスバスと命令コードバスとが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第 1 のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、前記CPUから受信した命令フェッ

チ要求信号に応答して前記命令アドレスを前記ツールバスにシリアルに出力し、次の命令フェッチ要求を受信する前に当該命令フェッチ要求に対応する命令コードを前記インサーキットエミュレータから受信した時に、命令プリフェッチ制御を開始することを特徴とするマイクロコントローラ。

【0095】

(付記15) 付記14において、

前記デバッグサポートユニットは、前記命令プリフェッチ制御中に、前記CPUから分岐有りの命令フェッチ要求を受付たら、当該命令プリフェッチ制御をキャンセルして、分岐先命令アドレスを前記ツールバスにシリアル転送することを特徴とするマイクロコントローラ。

【0096】

(付記16) CPUとバスコントローラを内蔵するマイクロコントローラにおいて、

前記CPUとバスコントローラとを接続する第1のビット数のアドレスバスと

前記アドレスバスが接続されたデバッグサポートユニットとを有し、

前記デバッグサポートユニットは、外部のインサーキットエミュレータに、前記第1のビット数より少ないビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線とを介して接続され、

更に、前記デバッグサポートユニットは、

アドレスに含まれる有効アドレスと当該有効アドレスの有効桁数信号とを有するエンコードアドレスを生成し、前記CPUから受信した命令フェッチ要求信号またはデータアクセス要求信号に応答して、前記エンコードアドレスを前記ツールバスにシリアルに出力するデータ出力回路とを有するマイクロコントローラ。

【0097】

【発明の効果】

以上、本発明によれば、開発中のマイクロコントローラに内蔵されるデバッグサポートユニットが、外付けのインサーキットエミュレータとのアクセス制御を効率的におこなうので、デバッグ処理のパフォーマンスを向上させることができ

る。

【図面の簡単な説明】

【図 1】

本実施の形態例におけるマイクロコントローラの構成を示す図である。

【図 2】

本実施の形態例の原理を説明するための図である。

【図 3】

本実施の形態例における別の原理を説明するための図である。

【図 4】

本実施の形態例における更に別の原理を説明するための図である。

【図 5】

DSU 4 の構成例を示す図である。

【図 6】

アクセス制御部 4 0 の詳細構成図である。

【図 7】

アクセス制御部での内部動作を示すフローチャート図である。

【図 8】

データアクセスのフローチャート図である。

【図 9】

分岐あり命令フェッチのフローチャート図である。

【図 1 0】

エンコーダでのエンコードのフローチャート図である。

【図 1 1】

分岐なし命令フェッチまたは命令プリフェッチのフローチャート図である。

【図 1 2】

ウェイト制御部でのウェイト制御のフローチャート図である。

【図 1 3】

分岐が発生しない時の命令プリフェッチ動作のタイミングチャート図である。

【図 1 4】

分岐が発生する時の命令プリフェッチ動作のタイミングチャート図である。

【図 15】

分岐が発生する時の命令プリフェッチでありキャンセルされる動作のタイミングチャート図である。

【図 16】

命令フェッチとデータリード動作のタイミングチャート図である。

【図 17】

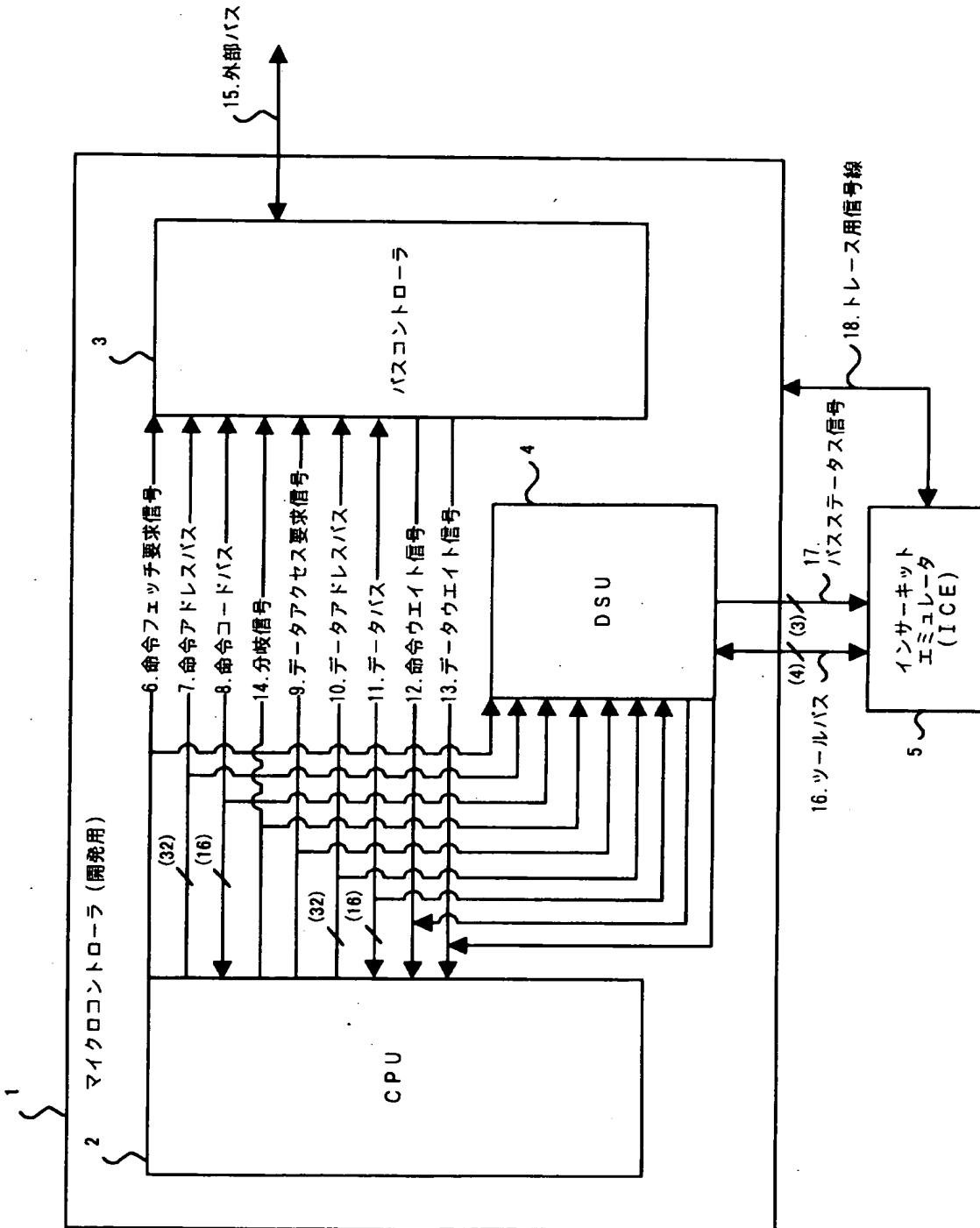
命令フェッチとデータライト動作のタイミングチャート図である。

【符号の説明】

- 1 マイクロコントローラ
- 2 CPU
- 3 バスコントローラ
- 4 デバッグサポートユニット
- 5 インサーキットエミュレータ
- 6 命令フェッチ要求信号線
- 7 命令アドレスバス
- 12 命令ウェイト信号線
- 14 分岐信号線
- 16 ツールバス
- 17 バスステータス信号線

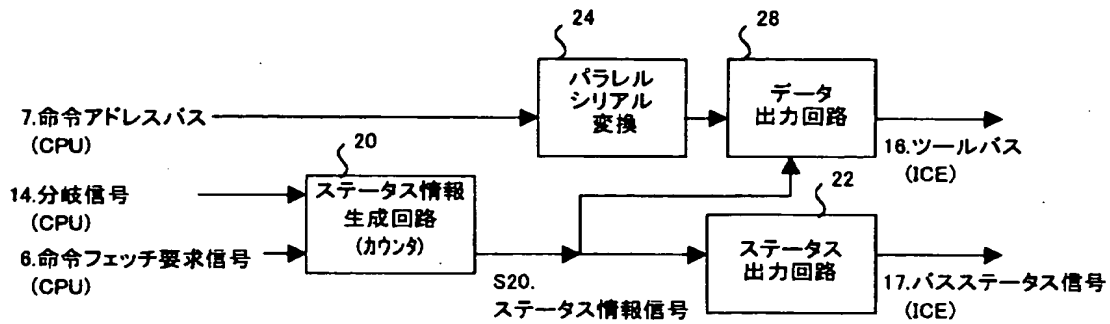
【書類名】 図面

【図 1】

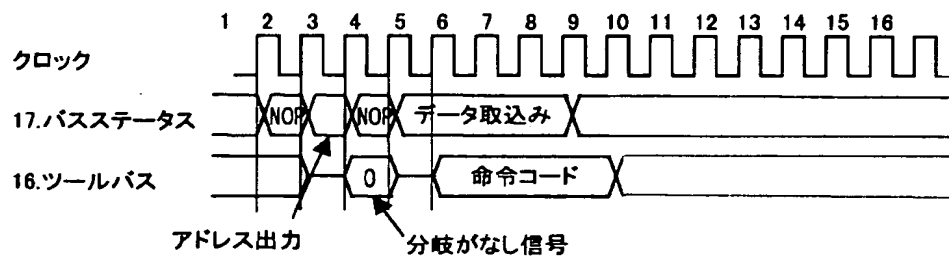


【図 2】

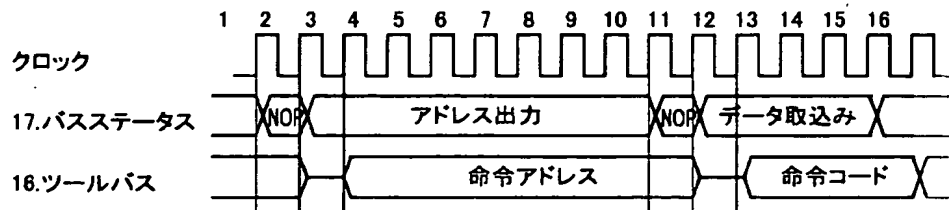
(A)



(B)

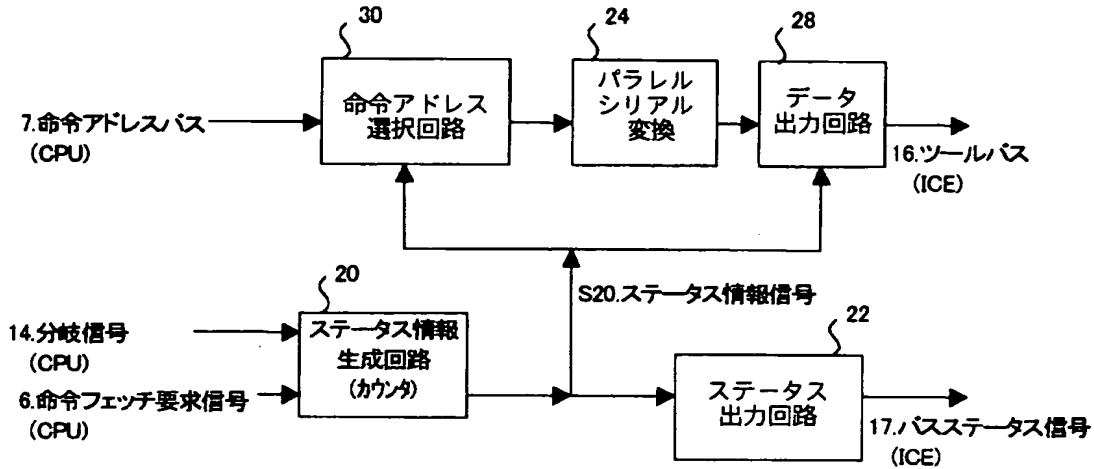


(C)

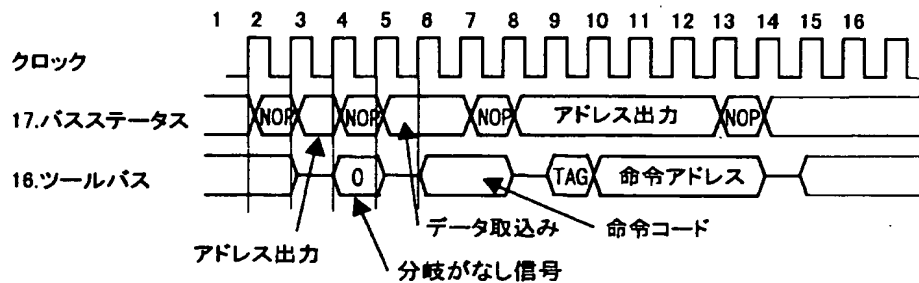


【図 3】

(A)

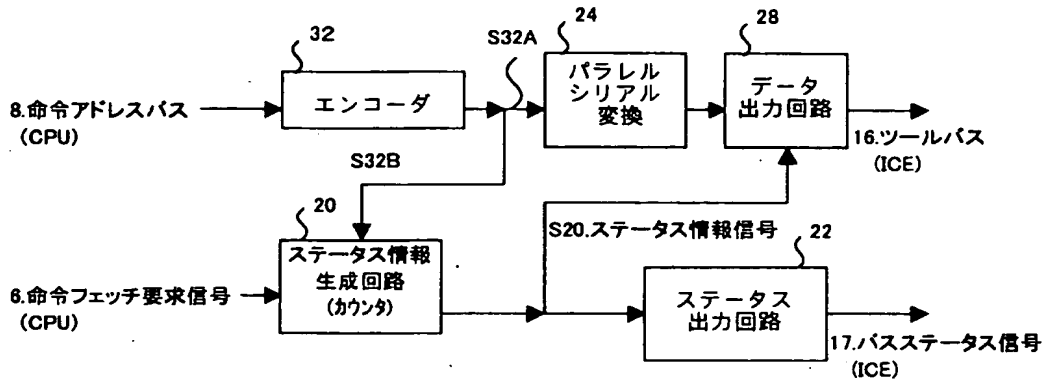


(B)

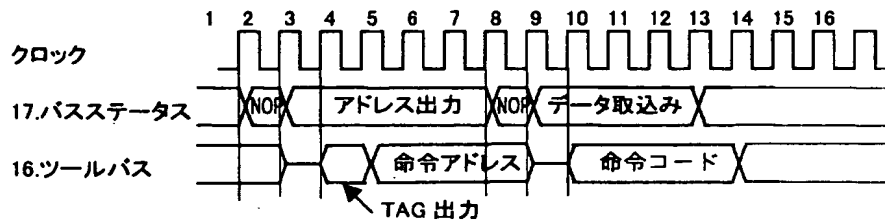


【図 4】

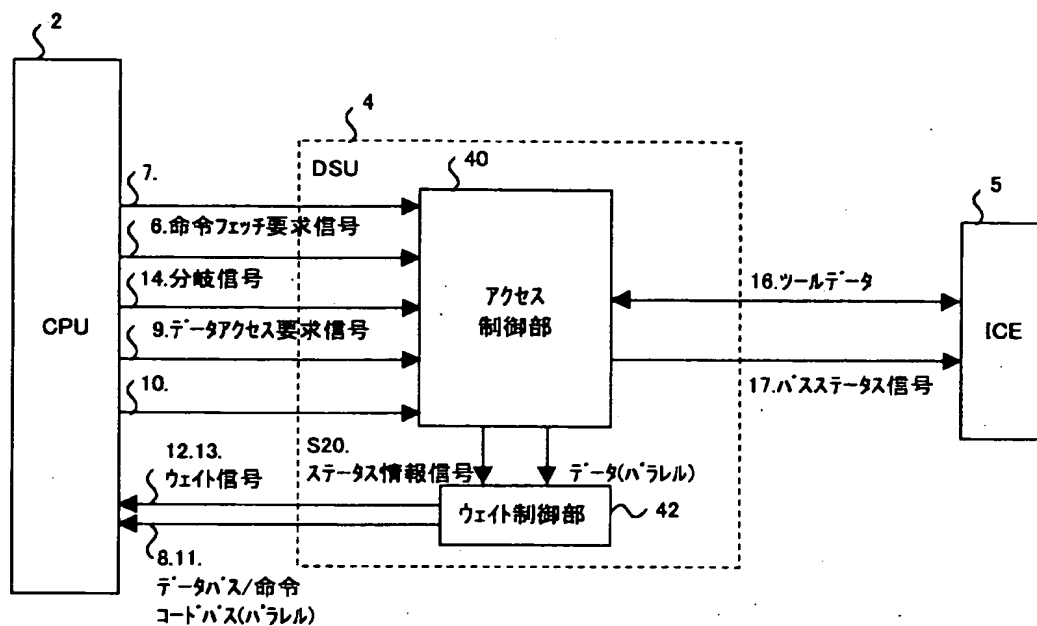
(A)



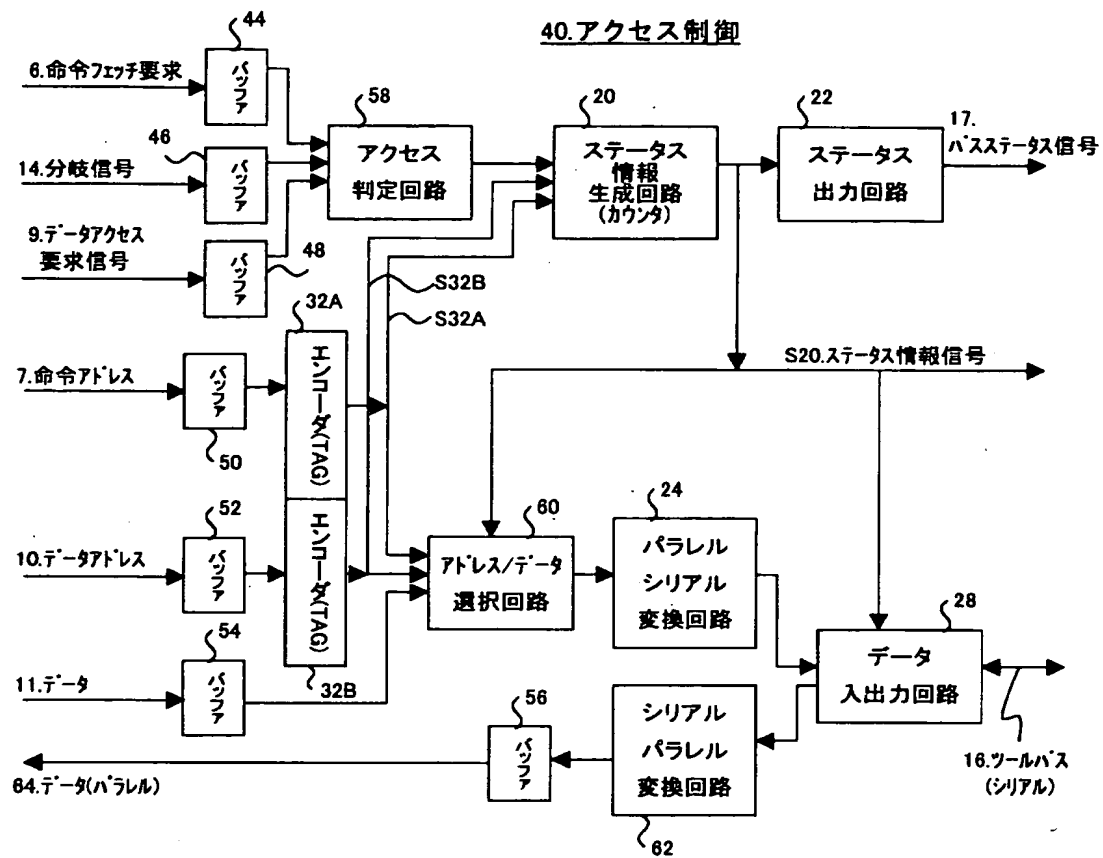
(B)



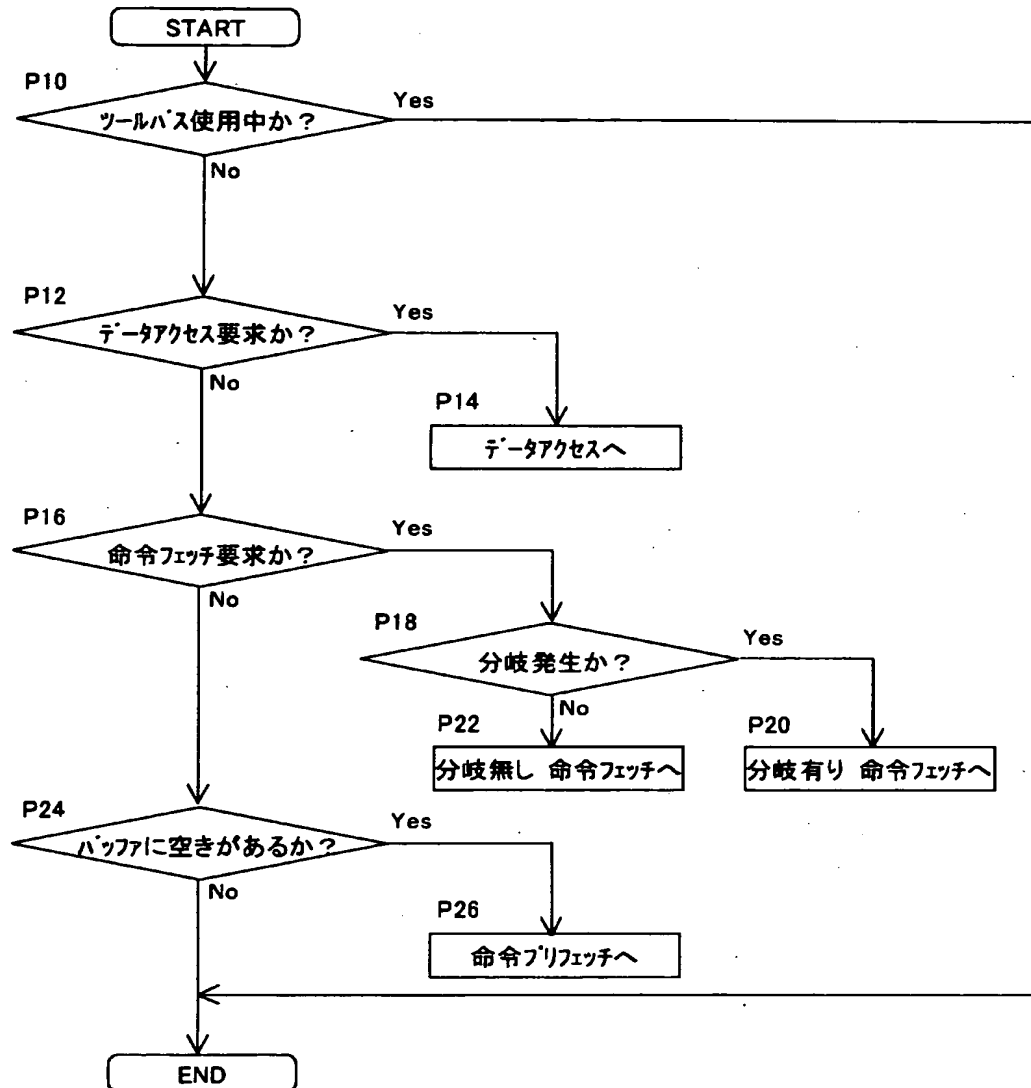
【図 5】



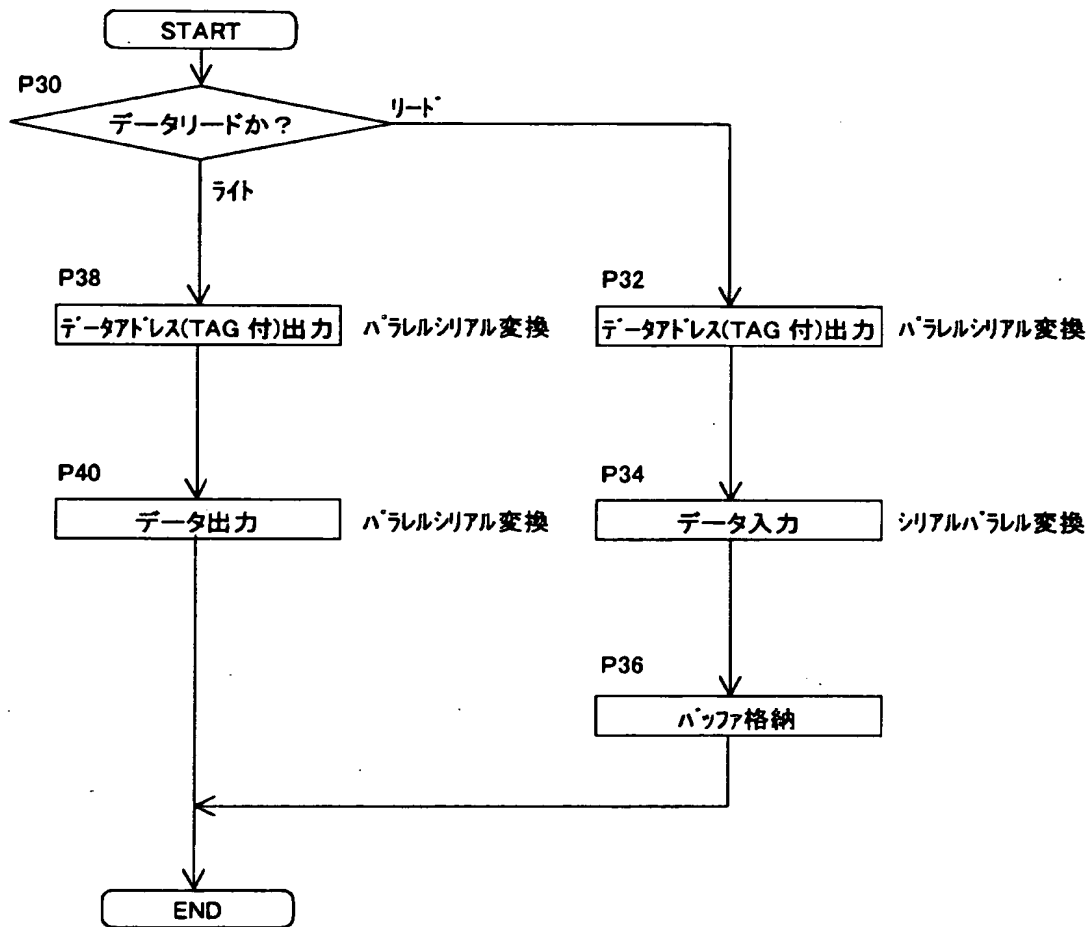
【図 6】



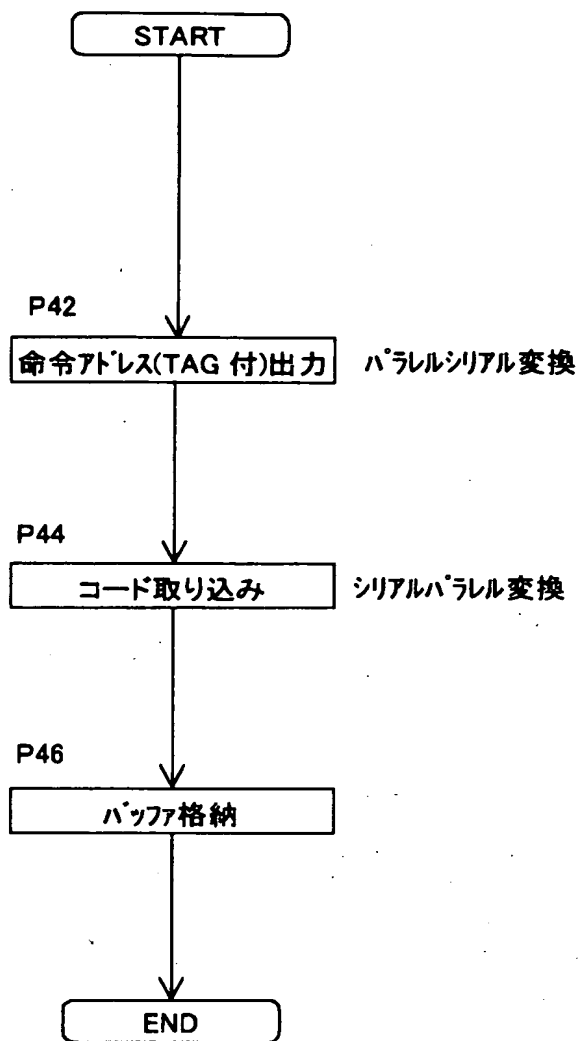
【図 7】



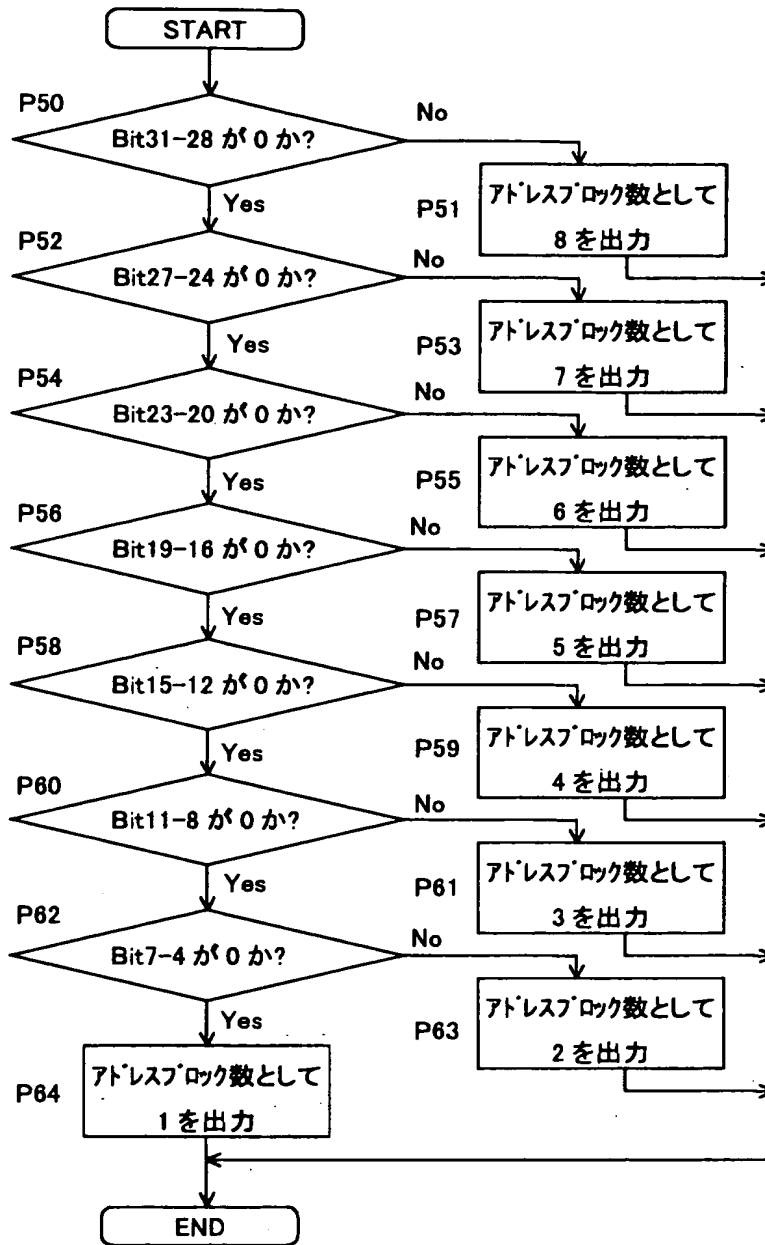
【図 8】



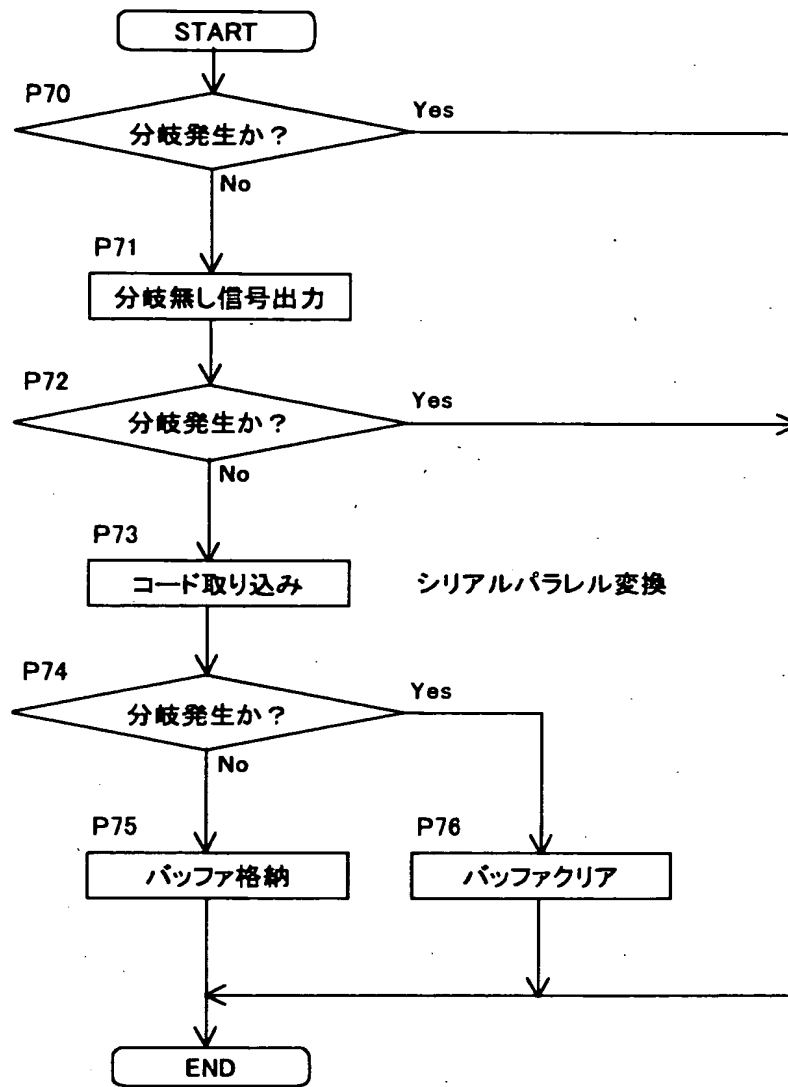
【図9】



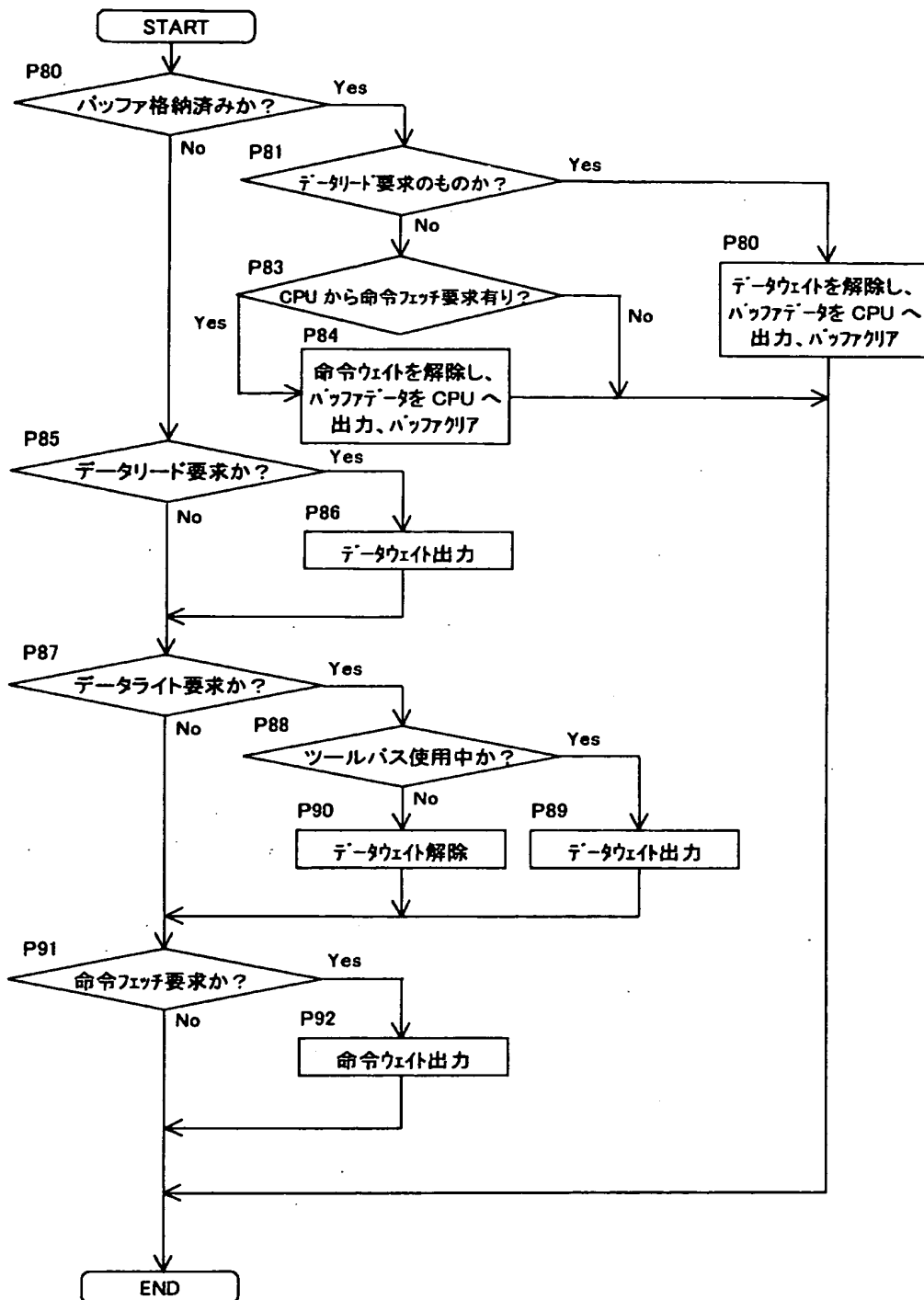
【図 10】



【図 1 1】

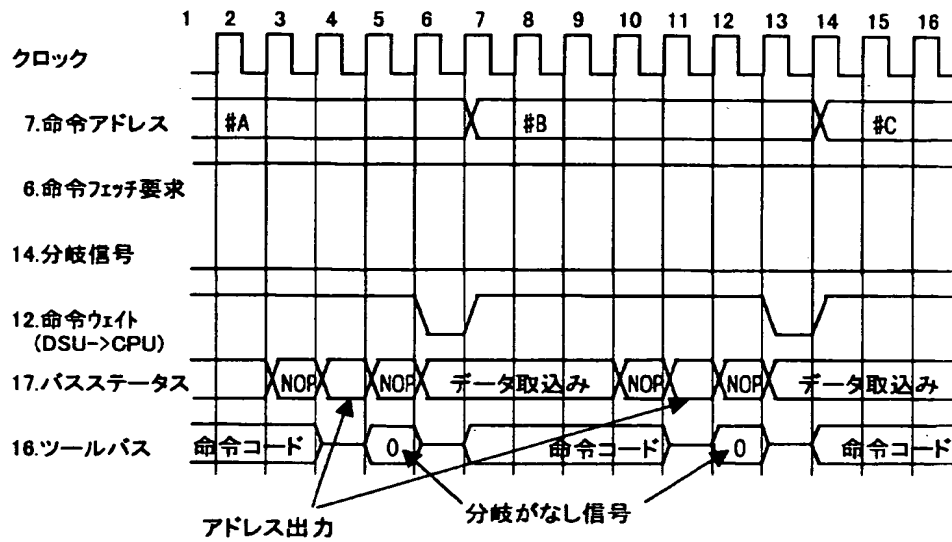


【図 12】



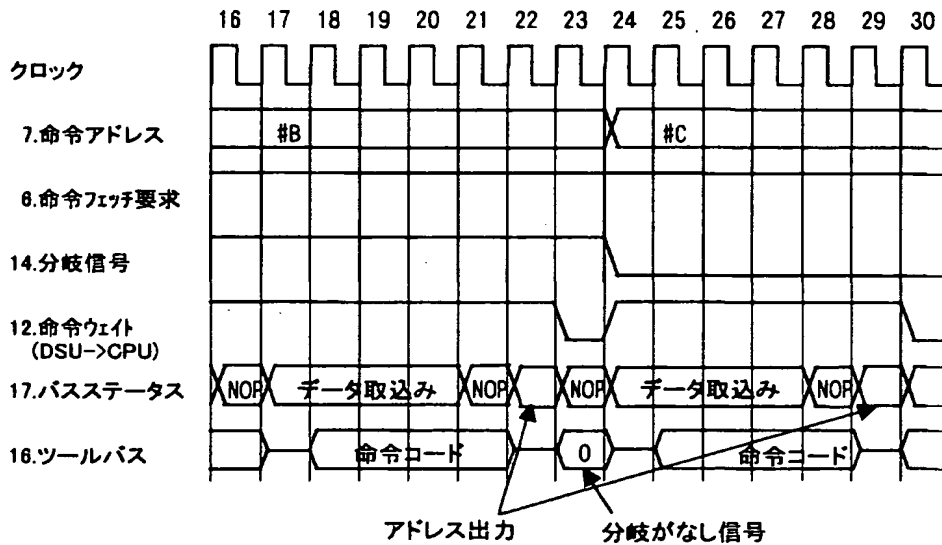
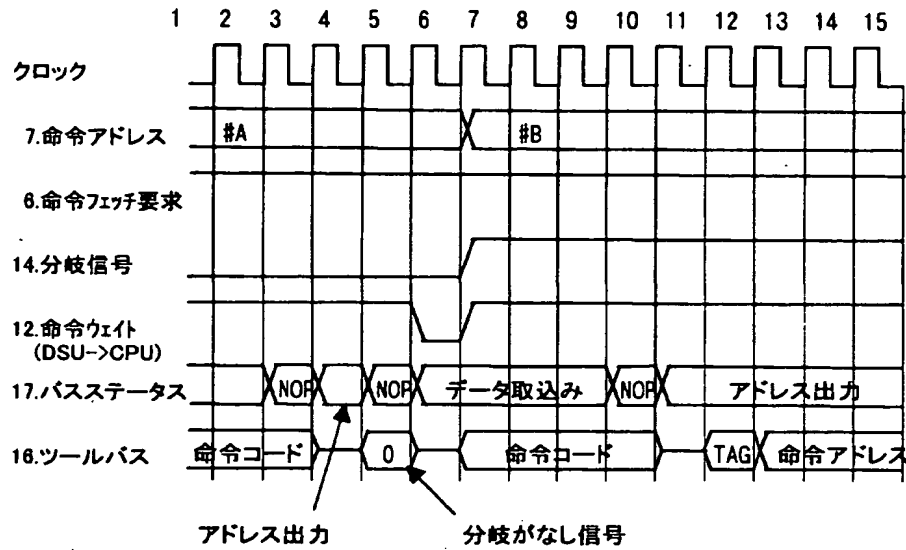
【図 1 3】

分岐が発生しない時の命令プリフェッチ動作例



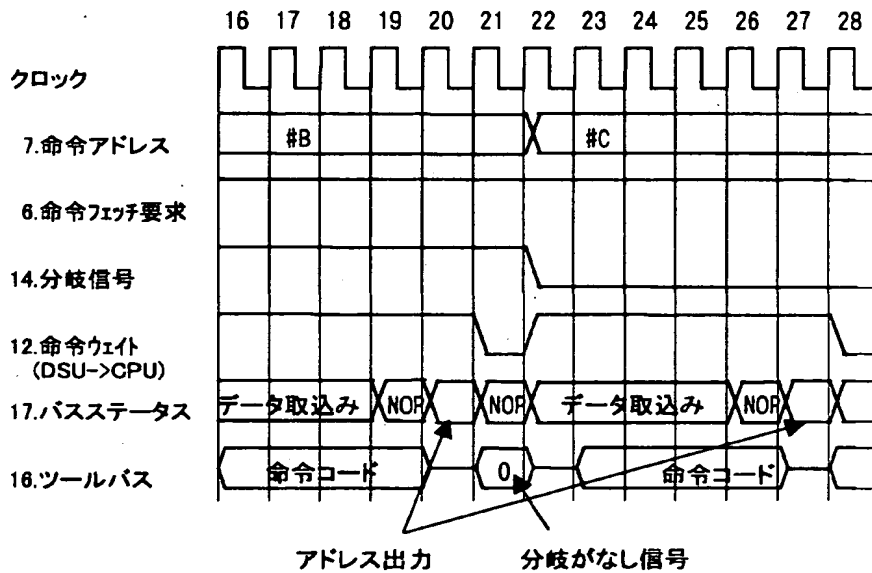
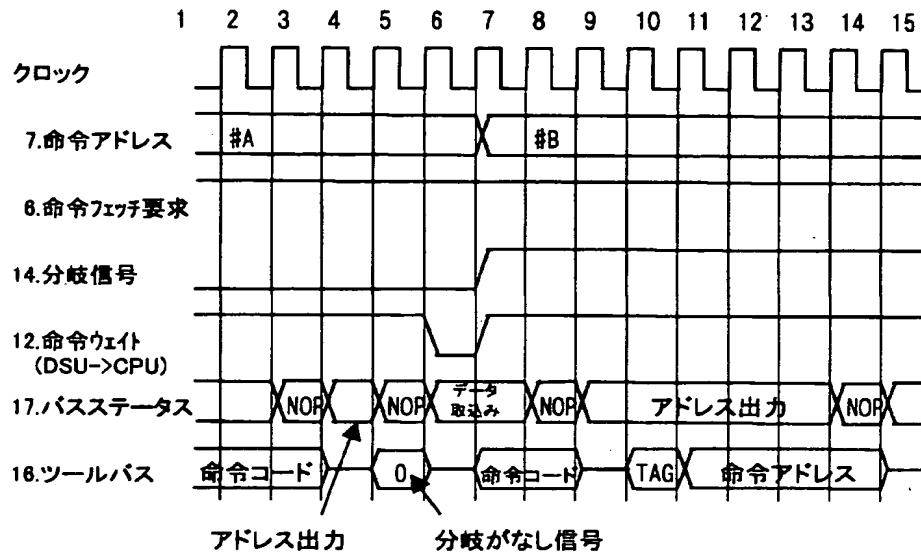
【図14】

分岐が発生する時の命令プリフェッチ動作例
(命令プリフェッチキャンセルなし)



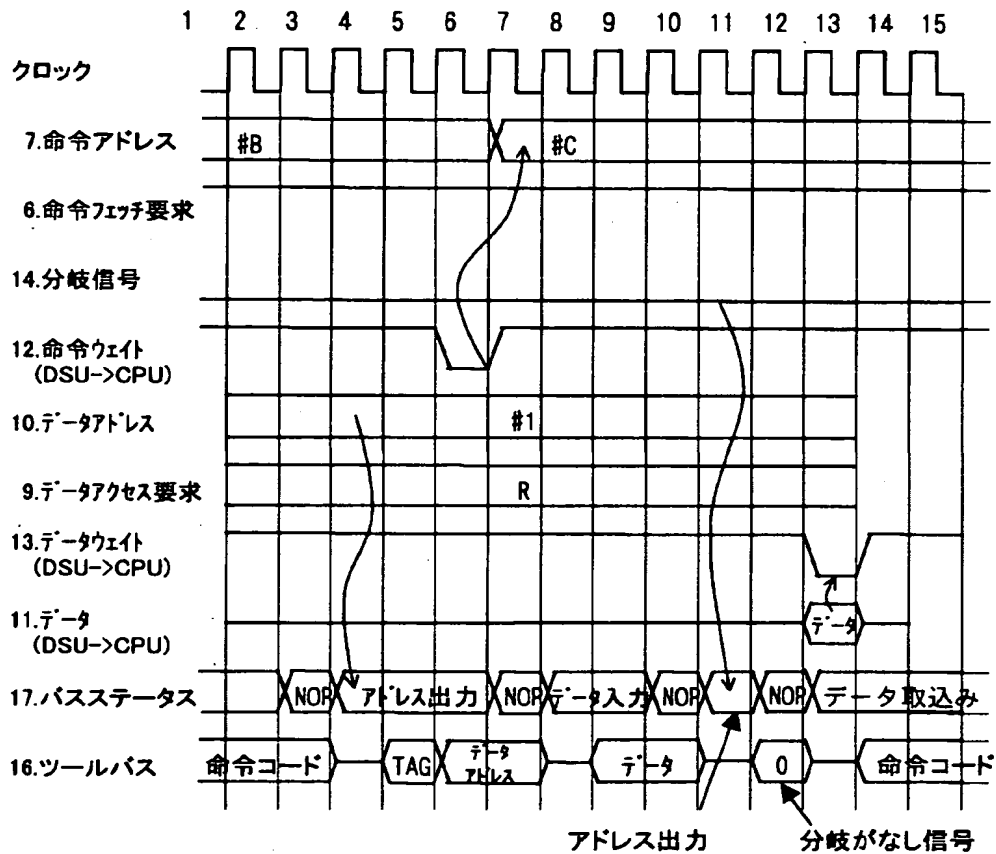
【図 15】

分岐が発生する時の命令プリフェッチ動作例
(命令プリフェッチキャンセルあり)



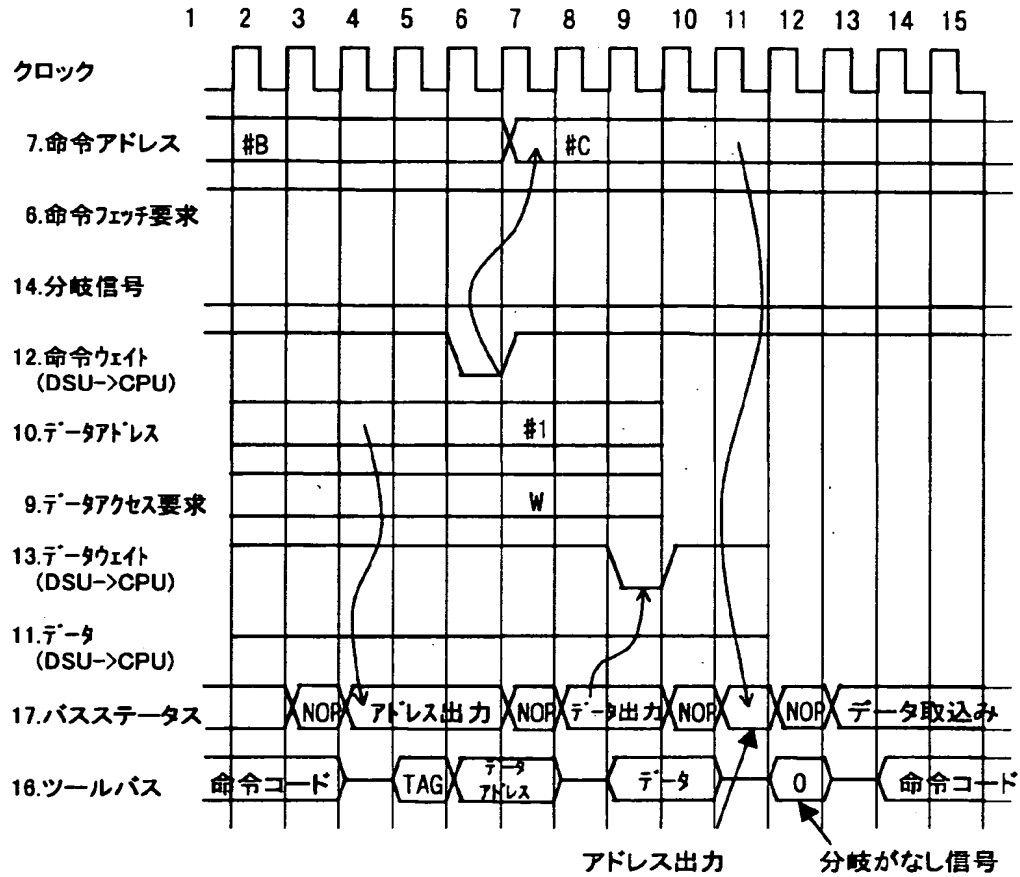
【図 16】

命令フェッチとデータアクセス動作例
(データリードの場合)



【図 17】

命令フェッチとデータアクセス動作例
(データライトの場合)



【書類名】

要約書

【要約】

【課題】 開発中のマイクロコントローラに内蔵されるデバッグサポートユニットが、外付けのインサーキットエミュレータとのアクセス制御を効率的におこなってデバッグ処理のパフォーマンスを向上させる。

【解決手段】 マイクロコントローラにおいて、内部にCPUとバスコントローラとそれらを接続する第1のビット数の命令アドレスバスと命令コードバスとを有し、更に、命令アドレスバスと命令コードバスが接続されたデバッグサポートユニットとを有し、デバッグサポートユニットは、外部のインサーキットエミュレータに、第1のビット数より少ない第3のビット数のツールバスと該ツールバスのステータスを通知するバスステータス信号線を介して接続される。そして、デバッグサポートユニットは、CPUから受信した命令フェッチ要求が分岐あり命令の場合は、命令アドレスをパラレル・シリアル変換して、当該変換された命令アドレスをツールバスにシリアルに出力し、命令フェッチ要求が分岐なし命令の場合は、分岐なし信号をツールバスに出力する

【選択図】 図2

認定・付加情報

特許出願の番号	特願2001-189750
受付番号	50100908893
書類名	特許願
担当官	佐藤 浩聡 7664
作成日	平成13年 7月 3日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社